



~~0450~~
#4 0430

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Yoshinori Hino et al. Art Unit : Unknown
Serial No. : 10/076,154 Examiner : Unknown
Filed : February 14, 2002
Title : SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

- Japan Application No. 2001-039294 filed February 16, 2001
- Japan Application No. 2001-039295 filed February 16, 2001

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: March 21, 2002

Chris T. Mizumoto
Reg. No. 42,899

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, New York 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30092119.doc

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

March 21, 2002

Date of Deposit

Signature

Rose Papetti

Typed or Printed Name of Person Signing Certificate



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月16日

出 願 番 号

Application Number:

特願2001-039294

[ST.10/C]:

[JP 2001-039294]

出 願 人

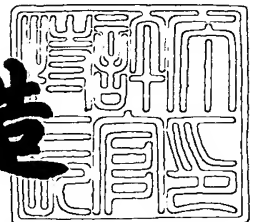
Applicant(s):

三洋電機株式会社

2002年 2月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3004745

【書類名】 特許願

【整理番号】 KIA1010024

【提出日】 平成13年 2月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式
会社内

【氏名】 谷口 敏光

【発明者】

【住所又は居所】 新潟県小千谷市千谷甲 3 0 0 0 番地 新潟三洋電子株
式会社内

【氏名】 武石 直英

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【電話番号】 0276-30-3151

【選任した代理人】

【識別番号】 100091605

【弁理士】

【氏名又は名称】 岡田 敬

【手数料の表示】

【予納台帳番号】 077770

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904682

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上にトランジスタを形成して成る半導体装置において、

下層と上層をコンタクト接続するためのコンタクト部が複数列に配置されていることを特徴とする半導体装置。

【請求項2】 半導体基板上に第1のトランジスタ及び第2のトランジスタを形成して成る半導体装置において、

前記第1のトランジスタと前記第2のトランジスタとにおける下層と上層をコンタクト接続するためのコンタクト部の形成数が異なることを特徴とする半導体装置。

【請求項3】 半導体基板上に第1のトランジスタ及び第2のトランジスタを形成して成る半導体装置において、

前記第1のトランジスタでは下層と上層をコンタクト接続するためのコンタクト部が1列に配置され、

前記第2のトランジスタでは下層と上層をコンタクト接続するためのコンタクト部が複数列に配置されていることを特徴とする半導体装置。

【請求項4】 前記第2のトランジスタがゲート電極に隣接するようにソース・ドレイン層を有し、当該ゲート電極下方にチャネルを構成する半導体層が形成されていることを特徴とする請求項2または請求項3のいずれかに記載の半導体装置。

【請求項5】 前記第2のトランジスタのゲート電極下方には、前記ソース・ドレイン層に連なり、前記半導体層に接するように当該ソース・ドレイン層と同一導電型の低濃度層が形成されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記第2のトランジスタのゲート電極下方には、前記ソース・ドレイン層に連なり、前記半導体層に接するように当該ソース・ドレイン層と同一導電型の低濃度層が前記半導体表層に浅く拡張形成されていることを特徴と

する請求項 4 に記載の半導体装置。

【請求項 7】 前記コンタクト部が、ソース・ドレイン層にコンタクト接続するためのものであることを特徴とする請求項 1 から請求項 6 のいずれかに記載の半導体装置。

【請求項 8】 前記コンタクト部が、下層配線と上層配線にコンタクト接続するためのものであることを特徴とする請求項 1 から請求項 6 のいずれかに記載の半導体装置。

【請求項 9】 前記コンタクト部には、導電性を有する膜が埋め込まれていることを特徴とする請求項 1 から請求項 8 のいずれかに記載の半導体装置。

【請求項 10】 一導電型の半導体内に形成される低濃度の逆導電型ソース・ドレイン層と、

前記低濃度の逆導電型ソース・ドレイン層内に形成される高濃度の逆導電型ソース・ドレイン層と、

前記半導体上にゲート酸化膜を介して形成されるゲート電極と、

前記ゲート電極下方に形成され、前記ソース・ドレイン層間に位置するチャネルを構成する一導電型半導体層と、

前記ソース・ドレイン層にコンタクトする複数配列されたコンタクト部と、

前記コンタクト部を介して前記ソース・ドレイン層にコンタクト接続するソース・ドレイン電極とを具備したことを特徴とする半導体装置。

【請求項 11】 半導体基板上にトランジスタを形成して成る半導体装置の製造方法において、

下層と上層をコンタクト接続するためのコンタクト部を複数列に形成することを特徴とする半導体装置の製造方法。

【請求項 12】 半導体基板上に第 1 のトランジスタ及び第 2 のトランジスタを形成して成る半導体装置の製造方法において、

前記第 1 のトランジスタと前記第 2 のトランジスタとにおける下層と上層をコンタクト接続するためのコンタクト部の形成数が異なるように形成することを特徴とする半導体装置の製造方法。

【請求項 13】 半導体基板上に第 1 のトランジスタ及び第 2 のトランジスタ

タを形成して成る半導体装置の製造方法において、

前記第 1 のトランジスタでは下層と上層をコンタクト接続するためのコンタクト部を 1 列に配置し、

前記第 2 のトランジスタでは下層と上層をコンタクト接続するためのコンタクト部を複数列に配置することを特徴とする半導体装置の製造方法。

【請求項 1 4】 前記コンタクト部が、ソース・ドレイン層にコンタクト接続するためのものであることを特徴とする請求項 1 1 から請求項 1 3 のいずれかに記載の半導体装置の製造方法。

【請求項 1 5】 前記コンタクト部が、下層配線と上層配線にコンタクト接続するためのものであることを特徴とする請求項 1 1 から請求項 1 3 のいずれかに記載の半導体装置の製造方法。

【請求項 1 6】 一導電型の半導体上にゲート酸化膜を介してゲート電極が形成されて成る半導体装置の製造方法において、

前記半導体内に逆導電型不純物をイオン注入して低濃度の逆導電型ソース・ドレイン層を形成する工程と、

逆導電型不純物をイオン注入することで前記低濃度の逆導電型ソース・ドレイン層に連なる低濃度の逆導電型層を形成する工程と、

逆導電型不純物をイオン注入することで前記低濃度の逆導電型ソース・ドレイン層内に高濃度の逆導電型ソース・ドレイン層を形成する工程と、

一導電型不純物をイオン注入することで前記ゲート電極下方に前記逆導電型層を分断する一導電型ボディ層を形成する工程と、

前記ゲート電極を被覆する層間絶縁膜を介して前記ソース・ドレイン層にコンタクト接続するためのコンタクト部を複数列形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 1 7】 前記コンタクト部には、導電性を有する膜を埋め込み形成することを特徴とする請求項 1 1 から請求項 1 6 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、更に言えば、下層と上層をコンタクト接続する際のコンタクト抵抗の低減化を図る技術に関する。

【0002】

【従来の技術】

以下、従来の半導体装置とその製造方法について図面を参照しながら説明する。

【0003】

図13において、1は半導体基板で、当該基板1上にゲート酸化膜2を介してゲート電極3が形成され、当該ゲート電極3に隣接するようにソース・ドレイン層4が形成されている。そして、前記ゲート電極を被覆する層間絶縁膜5が形成され、当該層間絶縁膜5に形成されたコンタクト孔6を介して前記ソース・ドレイン層4にコンタクトするソース・ドレイン電極7が形成されている。

【0004】

【発明が解決しようとする課題】

ここで、前記ソース・ドレイン電極を形成する際に、スパッタリング法でAl等の金属膜を堆積する場合には、コンタクト孔の縮小に伴いコンタクト孔内の金属膜のステップカバレッジが減少する。そのため、最近ではコンタクト孔内にタングステン膜等の導電性を有する膜をCVD法で埋め込み、その上にAl等の金属膜をパターニング形成して金属配線層とするものが実用化されている。

【0005】

このようなプラグコンタクト技術を採用し、各種トランジスタを構成する場合、コンタクト孔サイズが区々であると埋め込み後のエッチバック時のリセス量も区々になってしまい、極端に言えば、金属膜のステップカバレッジが埋め込まれていない場合と同程度まで悪化することもある。

【0006】

そのため、例えば0.35 μ m等の微細化プロセスで各種トランジスタを構成する場合、各コンタクト孔サイズは最小デザインルール of トランジスタのコンタクト孔サイズに揃える必要があり、あるトランジスタではコンタクト抵抗が高く

なり、オン抵抗が上昇してしまうという問題があった。

【0007】

【課題を解決するための手段】

そこで、本発明の半導体装置とその製造方法は、半導体基板上にトランジスタを形成して成るものにおいて、下層と上層をコンタクト接続するためのコンタクト部が複数列に配置されていることを特徴とする。

【0008】

また、本発明の半導体装置とその製造方法は、半導体基板上に第1のトランジスタ及び第2のトランジスタを形成して成るものにおいて、前記第1のトランジスタと前記第2のトランジスタとにおける下層と上層をコンタクト接続するためのコンタクト部の形成数が異なるように配置されていることを特徴とする。

【0009】

更に、本発明の半導体装置とその製造方法は、前記第1のトランジスタでは下層と上層をコンタクト接続するためのコンタクト部が1列に配置され、前記第2のトランジスタでは下層と上層をコンタクト接続するためのコンタクト部が複数列に配置されていることを特徴とする。

【0010】

また、本発明の半導体装置とその製造方法は、前記第2のトランジスタがゲート電極に隣接するようにソース・ドレイン層を有し、当該ゲート電極下方にチャネルを構成する半導体層が配置されていることを特徴とする。

【0011】

更に、本発明の半導体装置とその製造方法は、前記第2のトランジスタのゲート電極下方には、前記ソース・ドレイン層に連なり、前記半導体層に接するように当該ソース・ドレイン層と同一導電型の低濃度層が配置されていることを特徴とする。

【0012】

また、本発明の半導体装置とその製造方法は、前記第2のトランジスタのゲート電極下方には、前記ソース・ドレイン層に連なり、前記半導体層に接するように当該ソース・ドレイン層と同一導電型の低濃度層が前記半導体表層に浅く拡張

形成されていることを特徴とする。

【0013】

更に、本発明の半導体装置とその製造方法は、前記コンタクト部が、ソース・ドレイン層にコンタクト接続するためのものであることを特徴とする。

【0014】

また、本発明の半導体装置とその製造方法は、前記コンタクト部が、下層配線と上層配線にコンタクト接続するためのものであることを特徴とする。

【0015】

更に、本発明の半導体装置とその製造方法は、前記コンタクト部には、導電性を有する膜が埋め込まれていることを特徴とする。

【0016】

【発明の実施の形態】

以下、本発明の半導体装置とその製造方法に係る一実施形態について、本発明を液晶駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置に適用した実施形態について図面を参照しながら説明する。

【0017】

上記液晶駆動用ドライバは、図10(a)の左側からロジック系の(例えば、3V)Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフト用の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、図10(b)の左側から低オン抵抗化が図られた高耐圧系の(例えば、30V)Nチャネル型MOSトランジスタ、高耐圧系の(例えば、30V)Pチャネル型MOSトランジスタ、及び低オン抵抗化が図られた高耐圧系の(例えば、30V)Pチャネル型MOSトランジスタで構成される。尚、説明の便宜上、上記高耐圧系のMOSトランジスタと低オン抵抗化が図られた高耐圧系のMOSトランジスタとを差別化するため、以下の説明では低オン抵抗化が図られた高耐圧系のMOSトランジスタをSLED(Slit channel by counter doping with extended shallow drain)MOSトランジスタと呼称する。

【0018】

このような液晶駆動用ドライバを構成する各種MOSトランジスタが混載されて成る半導体装置では、図10に示すように上記高耐圧系のPチャネル型MOSトランジスタと上記低オン抵抗化が図られた高耐圧系のPチャネル型SLED MOSトランジスタが構成されるN型ウエル23が段差高部となり、その他の各種MOSトランジスタが構成されるP型ウエル22が段差低部に構成される。言い換えれば、微細なロジック系の（例えば、3V）Nチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタが段差低部に配置されるように構成されている。

【0019】

以下、上記半導体装置の製造方法について説明する。

【0020】

先ず、図1において、各種MOSトランジスタを構成するための領域を面定するために、例えばP型の半導体基板（P-s u b）21内にP型ウエル（PW）22及びN型ウエル（NW）23をLOCOS法を用いて形成する。即ち、図示した説明は省略するが、前記基板21のN型ウエル形成領域上にパッド酸化膜及びシリコン窒化膜を形成し、当該パッド酸化膜及びシリコン窒化膜をマスクにして、例えばボロンイオンをおよそ80KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して、イオン注入層を形成する。その後、前記シリコン窒化膜をマスクに基板表面をLOCOS法によりフィールド酸化してLOCOS膜を形成する。このとき、LOCOS膜形成領域下にイオン注入されていたボロンイオンが基板内部に拡散されてP型層が形成される。

【0021】

次に、前記パッド酸化膜及びシリコン窒化膜を除去した後に、前記LOCOS膜をマスクに基板表面にリンイオンをおよそ80KeVの加速電圧で、 $9 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してイオン注入層を形成する。そして、前記LOCOS膜を除去した後に、前記基板に注入された各不純物イオンを熱拡散させて、P型ウエル及びN型ウエルを形成することで、図1に示すように前記基板21内に形成されるP型ウエル22は段差低部に配置され、N型ウエル23は段差高部に配置される。

【0022】

そして、図2において、各MOSトランジスタ毎に素子分離するため、およそ500nm程度の素子分離膜24をLOCOS法により形成し、この素子分離膜24以外の活性領域上におよそ80nm程度の高耐圧用の厚いゲート酸化膜25を熱酸化により形成する。

【0023】

続いて、レジスト膜をマスクにして第1の低濃度のN型及びP型のソース・ドレイン層（以下、LN層26、LP層27と称す。）を形成する。即ち、先ず、不図示のレジスト膜でLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120KeVの加速電圧で、 $8 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLN層26を形成する。その後、レジスト膜（PR）でLP層形成領域上以外の領域を被覆した状態で基板表層に、例えばボロンイオンをおよそ120KeVの加速電圧で、 $8.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してLP層27を形成する。尚、実際には後工程のアニール工程（例えば、1100℃のN₂雰囲気中で、2時間）を経て、上記イオン注入された各イオン種が熱拡散されてLN層26及びLP層27となる。

【0024】

続いて、図3において、Pチャネル型及びNチャネル型SLEDMOSTランジスタ形成領域の形成された前記LN層26間及びLP層27間にレジスト膜をマスクにしてそれぞれ第2の低濃度のN型及びP型のソース・ドレイン層（以下、SLN層28及びSLP層29と称す。）を形成する。即ち、先ず、不図示のレジスト膜でSLN層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ120KeVの加速電圧で、 $1.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LN層26に連なるSLN層28を形成する。その後、レジスト膜（PR）でSLP層形成領域上以外の領域を被覆した状態で基板表層に、例えば二フッ化ボロンイオン（ $^{49}\text{BF}_2^+$ ）をおよそ140KeVの加速電圧で、 $2.5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入して前記LP層27に連なるSLP層29を形成する。尚、前記LN層26と前記SLN層28または前記LP層27と前記SLP層29の不純物濃度は、ほぼ同等であるか、どちら

か一方が高くなるように設定されている。

【0025】

更に、図4において、レジスト膜をマスクにして高濃度のN型及びP型のソース・ドレイン層（以下、N+層30、P+層31と称す。）を形成する。即ち、先ず、不図示のレジスト膜でN+層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ80KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してN+層30を形成する。その後、レジスト膜（PR）でP+層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ140KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入してP+層31を形成する。

【0026】

次に、図5において、前記SLN層28及びSLP層29の形成用のマスク開口径（図3参照）よりも細い開口径を有するレジスト膜をマスクにして前記LN層26に連なるSLN層28の中央部及び前記LP層27に連なるSLP層29の中央部にそれぞれ逆導電型の不純物をイオン注入することで、当該SLN層28及びSLP層29を分断するP型ボディ層32及びN型ボディ層33を形成する。即ち、先ず、不図示のレジスト膜でP型層形成領域上以外の領域を被覆した状態で基板表層に、例えばニフッ化ボロンイオンをおよそ120KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してP型ボディ層32を形成する。その後、レジスト膜（PR）でN型層形成領域上以外の領域を被覆した状態で基板表層に、例えばリンイオンをおよそ190KeVの加速電圧で、 $5 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入してN型ボディ層33を形成する。尚、上記図3～図5に示すイオン注入工程に関する作業工程順は、適宜変更可能なものであり、前記P型ボディ層32及びN型ボディ層33の表層部にチャンネルが構成される。

【0027】

更に、図6において、前記通常耐圧用の微細化Nチャンネル型及びPチャンネル型MOSトランジスタ形成領域の基板（P型ウエル22）内に第2のP型ウエル（SPW）34及び第2のN型ウエル（SNW）35を形成する。

【 0 0 2 8 】

即ち、前記通常耐圧のNチャネル型MOSトランジスタ形成領域上に開口を有する不図示のレジスト膜をマスクにして前記P型ウエル22内に、例えばボロンイオンをおよそ190KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の第1の注入条件でイオン注入後、同じくボロンイオンをおよそ50KeVの加速電圧で、 $2.6 \times 10^{12} / \text{cm}^2$ の第2の注入条件でイオン注入して、第2のP型ウエル34を形成する。また、前記通常耐圧用のPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜（PR）をマスクにして前記P型ウエル22内に例えばリンイオンをおよそ380KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入して、第2のN型ウエル35を形成する。尚、380KeV程度の高加速電圧発生装置が無い場合には、2価のリンイオンをおよそ190KeVの加速電圧で、 $1.5 \times 10^{13} / \text{cm}^2$ の注入条件でイオン注入するダブルチャージ方式でも良い。続いてリンイオンをおよそ140KeVの加速電圧で、 $4.0 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。

【 0 0 2 9 】

次に、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上とレベルシフト用のNチャネル型MOSトランジスタ形成領域上の前記ゲート酸化膜25を除去した後に、図7に示すように、この領域上に新たに所望の膜厚のゲート酸化膜を形成する。

【 0 0 3 0 】

即ち、先ず、全面にレベルシフト用のNチャネル型MOSトランジスタ用におよそ14nm程度（この段階では、およそ7nm程度であるが、後述する通常耐圧用のゲート酸化膜形成時に膜厚が増大する。）のゲート酸化膜36を熱酸化により形成する。続いて、通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に形成された前記レベルシフト用のNチャネル型MOSトランジスタのゲート酸化膜36を除去した後に、この領域に通常耐圧用の薄いゲート酸化膜37（およそ7nm程度）を熱酸化により形成する。

【 0 0 3 1 】

続いて、図8において、全面におよそ100nm程度のポリシリコン膜を形成

し、このポリシリコン膜に POCl_3 を熱拡散源として熱拡散し導電化した後に、このポリシリコン膜上におよそ 100 nm 程度のタングステンシリサイド膜、更にはおよそ 150 nm 程度の SiO_2 膜を積層し、不図示のレジスト膜を用いてパターンニングして各MOSトランジスタ用のゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを形成する。尚、前記 SiO_2 膜は、パターンニング時のハードマスクとして働く。

【0032】

続いて、図9において、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に低濃度のソース・ドレイン層を形成する。

【0033】

即ち、先ず、通常耐圧用のNチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばリンイオンをおよそ 20 KeV の加速電圧で、 $6.2 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、低濃度のN型ソース・ドレイン層39を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の低濃度ソース・ドレイン層形成領域上以外の領域を被覆するレジスト膜(PR)をマスクにして、例えばニフッ化ボロンイオンをおよそ 20 KeV の加速電圧で、 $2 \times 10^{13}/\text{cm}^2$ の注入条件でイオン注入して、低濃度のP型ソース・ドレイン層40を形成する。

【0034】

更に、図10において、全面に前記ゲート電極38A, 38B, 38C, 38D, 38E, 38F, 38Gを被覆するようにおよそ 250 nm 程度のTEOS膜41をLPCVD法により形成し、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ形成領域上に開口を有するレジスト膜(PR)をマスクにして前記TEOS膜41を異方性エッチングする。これにより、図10に示すように前記ゲート電極38A, 38Bの両側壁部にサイドウォールスペーサ膜41Aが形成され、前記レジスト膜(PR)で被覆された領域にはTEOS膜41がそのまま残る。

【0035】

そして、前記ゲート電極38Aとサイドウォールスペーサ膜41A並びに、前記ゲート電極38Bとサイドウォールスペーサ膜41Aをマスクにして、前記通常耐圧用のNチャネル型及びPチャネル型MOSトランジスタ用に高濃度のソース・ドレイン層を形成する。

【0036】

即ち、通常耐圧用のNチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばヒ素イオンをおよそ100KeVの加速電圧で、 $5 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のN+型ソース・ドレイン層42を形成する。また、通常耐圧用のPチャネル型MOSトランジスタ用の高濃度ソース・ドレイン層形成領域上以外の領域を被覆する不図示のレジスト膜をマスクにして、例えばニフツ化ボロンイオンをおよそ40KeVの加速電圧で、 $2 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入して、高濃度のP+型ソース・ドレイン層43を形成する。

【0037】

以下、全面にTEOS膜及びBP SG膜等からなるおよそ600nm程度の層間絶縁膜45を形成した後に、前記各高濃度のソース・ドレイン層30, 31, 42, 43にコンタクト接続する金属配線層48を形成することで、前記液晶駆動用ドライバを構成する通常耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、レベルシフト用のNチャネル型MOSトランジスタ、高耐圧用のNチャネル型MOSトランジスタ及びPチャネル型MOSトランジスタ、低オン抵抗化が図られた高耐圧用のNチャネル型SLED MOSトランジスタ及びPチャネル型SLED MOSトランジスタが完成する(図11参照)。

【0038】

ここで、本発明の特徴は、前記各ソース・ドレイン層30, 31, 42, 43に金属配線層48をコンタクト接続するためのコンタクト部の構成及びその形成方法にある。

【0039】

以下、本発明のコンタクト部の構成について図 1 1 を参照しながら説明する。
尚、図 1 1 では各 N チャンネル型の通常耐圧の MOS トランジスタ (A)、高耐圧 MOS トランジスタ (B) 及び S L E D MOS トランジスタ (C) を例示して説明するが、各 P チャンネル型の通常耐圧の MOS トランジスタ、高耐圧 MOS トランジスタ及び S L E D MOS トランジスタに関しても同様である。

【 0 0 4 0 】

本発明では、図 1 1 に示すように層間絶縁膜 4 5 に前記ソース・ドレイン層 3 0、4 2 にコンタクトするコンタクト孔 4 6 を形成し、このコンタクト孔 4 6 内に例えばタングステン膜等の導電性を有する膜を埋め込むことでプラグコンタクト部 4 7 を形成し、このプラグコンタクト部 4 7 上に A 1 膜等から成る金属配線層 4 8 を形成し、ソース・ドレイン電極を形成している。

【 0 0 4 1 】

このとき、液晶駆動用ドライバを構成する各種トランジスタ別にプラグコンタクト部 4 7 の配置を異ならせている。本実施形態では、少なくとも通常耐圧の MOS トランジスタ (A) のソース・ドレイン層 4 2 に対してはプラグコンタクト部 4 7 を 1 列に配置させ、高耐圧 MOS トランジスタ (B) 及び S L E D MOS トランジスタ (C) のソース・ドレイン層 3 0 に対しては複数列 (例えば、2 列) にプラグコンタクト部 4 7 を配置させている (図 1 2 参照)。

【 0 0 4 2 】

このため本発明では、プラグコンタクト部 4 7 の数を増加させることによりコンタクト抵抗の低減化が図れ、トランジスタのオン抵抗を低下させることができる。

【 0 0 4 3 】

このように本発明では、各種トランジスタを有し、デザインルールにおける最小寸法でコンタクト孔を形成するものにおいて、各トランジスタ毎に最適なコンタクト数を設定し、配置させることで、コンタクト抵抗の低減化が図れ、トランジスタのオン抵抗を低下させることができる。

【 0 0 4 4 】

また、タングステン膜に限らずポリシリコン膜等を埋め込むものであっても良

く、更には導電膜をエッチバックすることでコンタクト孔46内に埋め込む代わりに、エッチバックしないでそのまま配線としても良い。

【0045】

尚、本実施形態では、通常耐圧のMOSトランジスタに対してはプラグコンタクト部47を1列配置させているが、当該通常耐圧のMOSトランジスタにおいてもプラグコンタクト部47を複数列配置させるものであっても良く、例えば、電源パッドに近い箇所に配置される通常耐圧のMOSトランジスタではプラグコンタクト部47を複数列配置させることで信頼性が向上し、また“H”、“L”信号を伝達するだけのものではプラグコンタクト部47を1列配置させる構成で十分である。

【0046】

また、本実施形態ではソース・ドレイン層にコンタクト接続するためのコンタクト部に対して説明しているが、本発明はこれに限定されるものではなく、下層配線と上層配線とを接続するためのコンタクト部においても適用可能なものであり、特にSLED MOSトランジスタのように高耐圧化と低オン抵抗化が図られたものでは、下層配線と上層配線（例えば、本プロセスは3層配線構造であるため、2層配線と3層配線）とをコンタクト接続するためのコンタクト部にも適用することで、より低抵抗化が図れる。

【0047】

【発明の効果】

本発明によれば、コンタクト部の数を増加させることによりコンタクト抵抗の低減化が図れ、トランジスタのオン抵抗を低下させることができる。

【0048】

また、本発明では各種トランジスタを有し、デザインルールにおける最小寸法でコンタクト孔を形成するものにおいて、各トランジスタ毎に最適なコンタクト数を設定し、配置させることで、コンタクト抵抗の低減化が図れ、トランジスタのオン抵抗を低下させることができる。

【0049】

更に、ソース・ドレイン層にコンタクト接続するためのコンタクト部に限らず

、下層配線と上層配線とを接続するためのコンタクト部においても適用すること
で、より低抵抗化が図れる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 2】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 3】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 4】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 5】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 6】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 7】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 8】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 9】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 10】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 11】

本発明の一実施形態の半導体記憶装置の製造方法を示す断面図である。

【図 12】

本発明の一実施形態の半導体記憶装置の製造方法を示す平面図である。

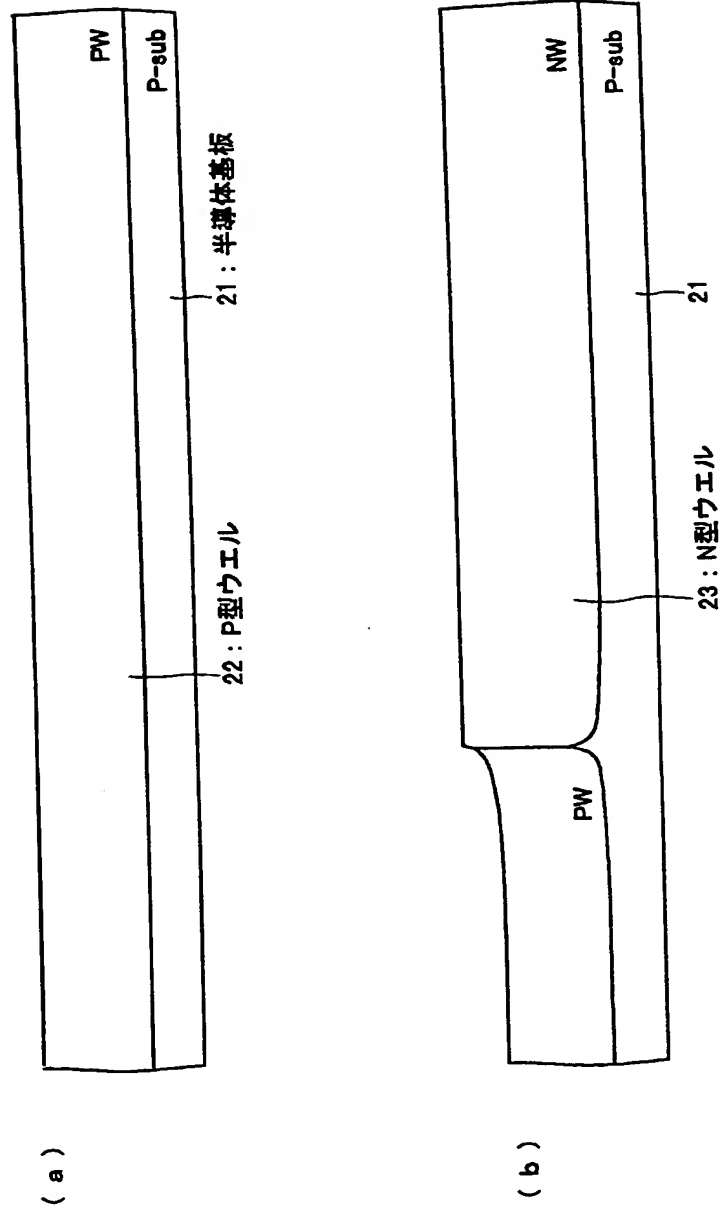
【図 13】

従来の半導体装置の製造方法を示す断面図である。

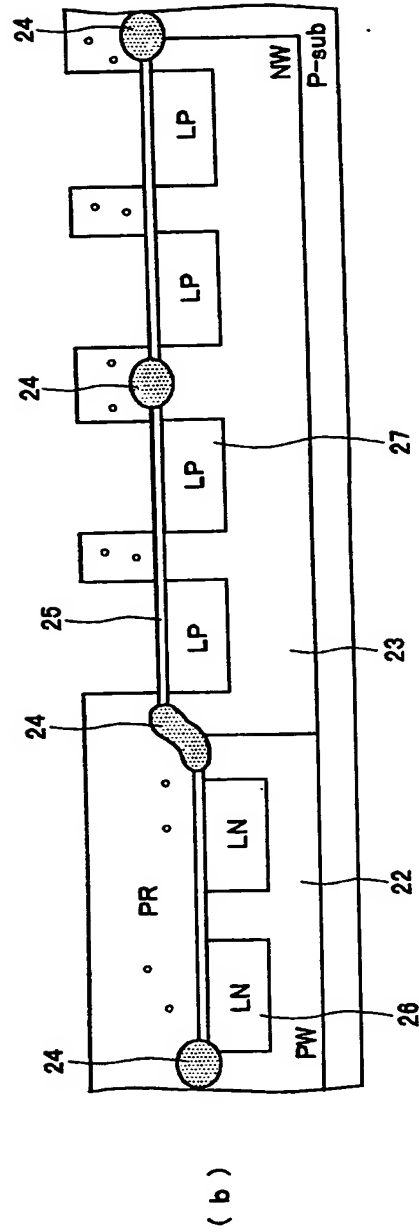
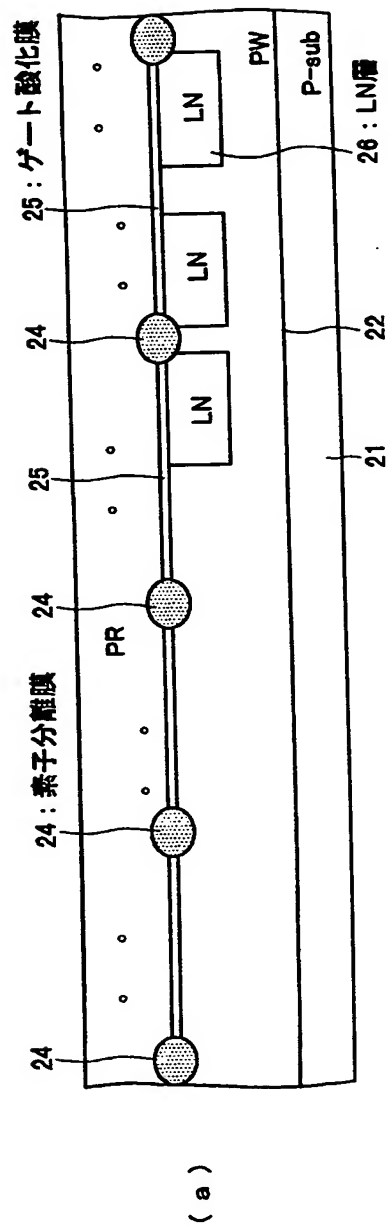
特 2 0 0 1 - 0 3 9 2 9 4

【書類名】 図面

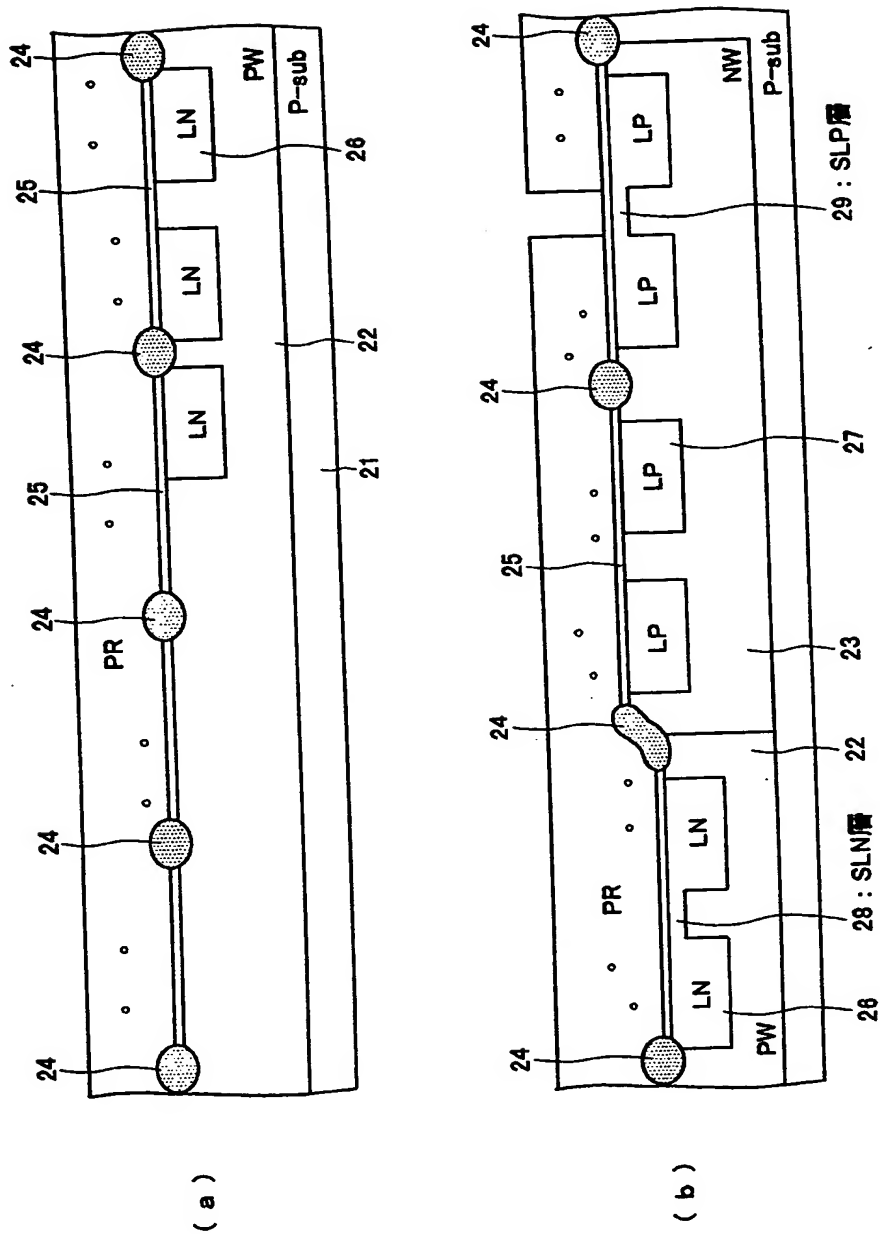
【図 1】



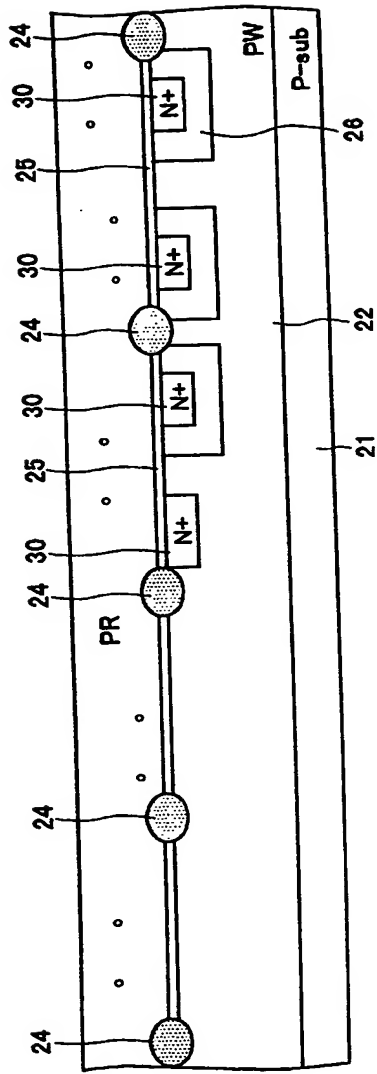
【図 2】



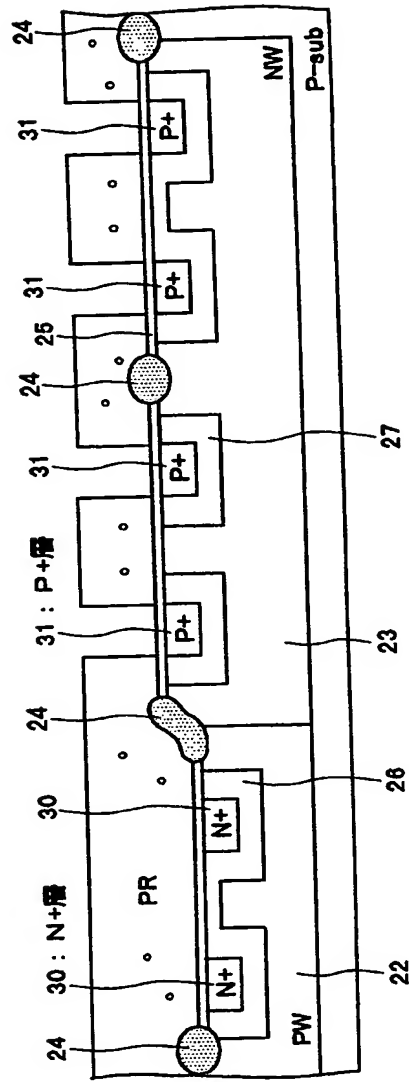
【図 3】



【図4】

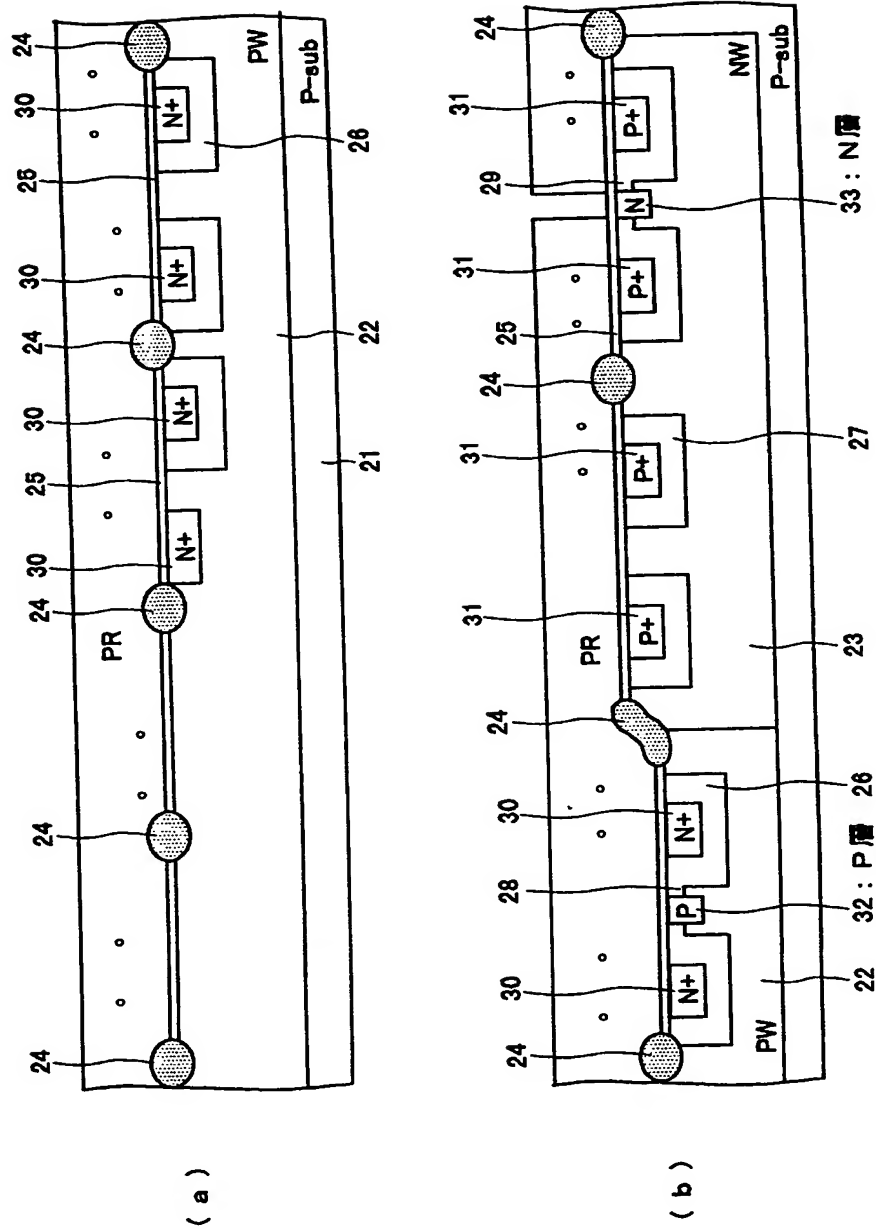


(a)

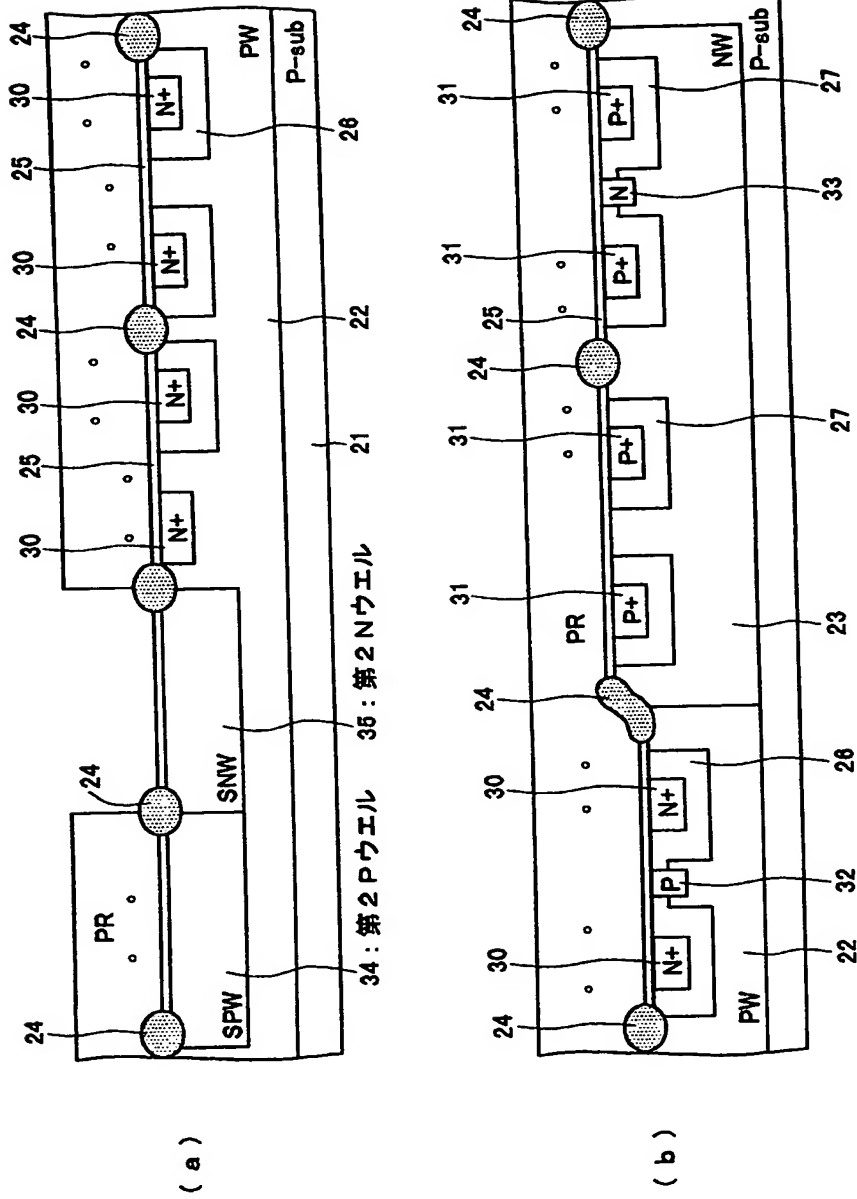


(b)

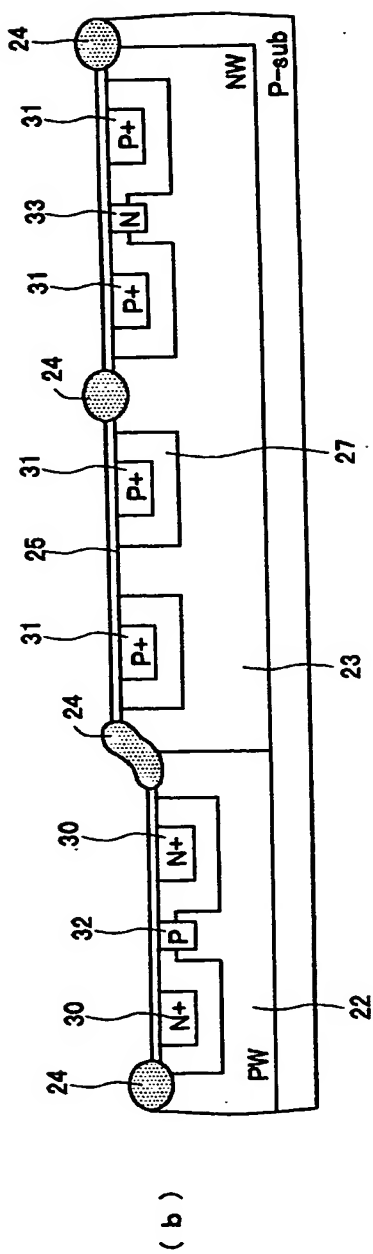
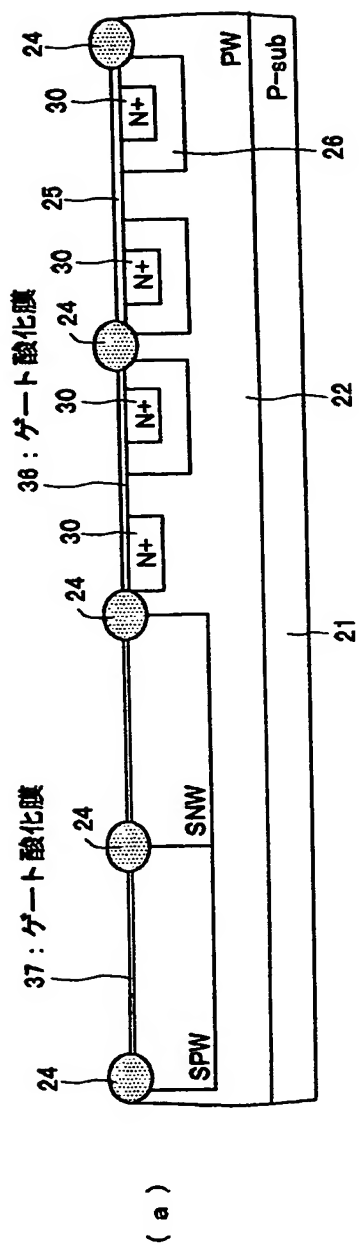
【図 5】



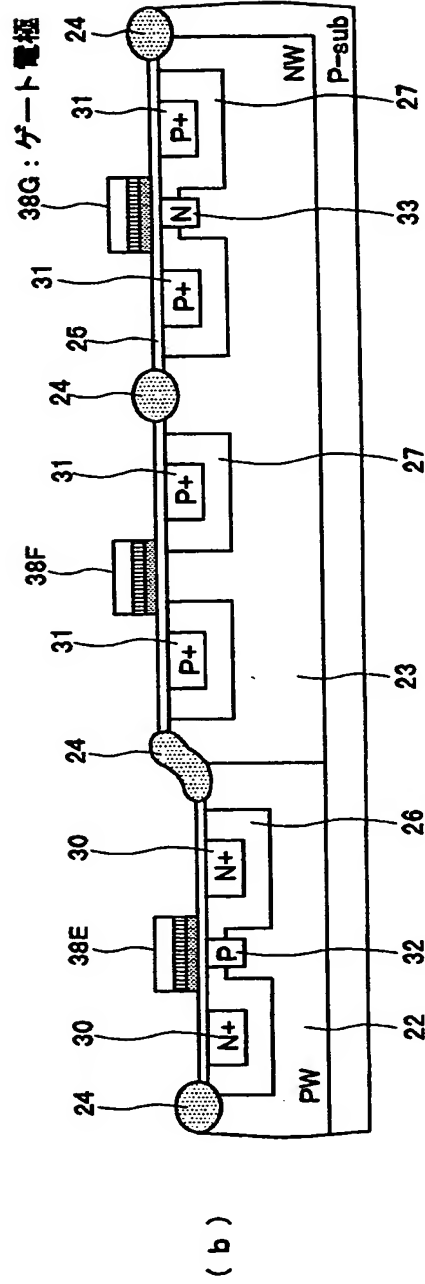
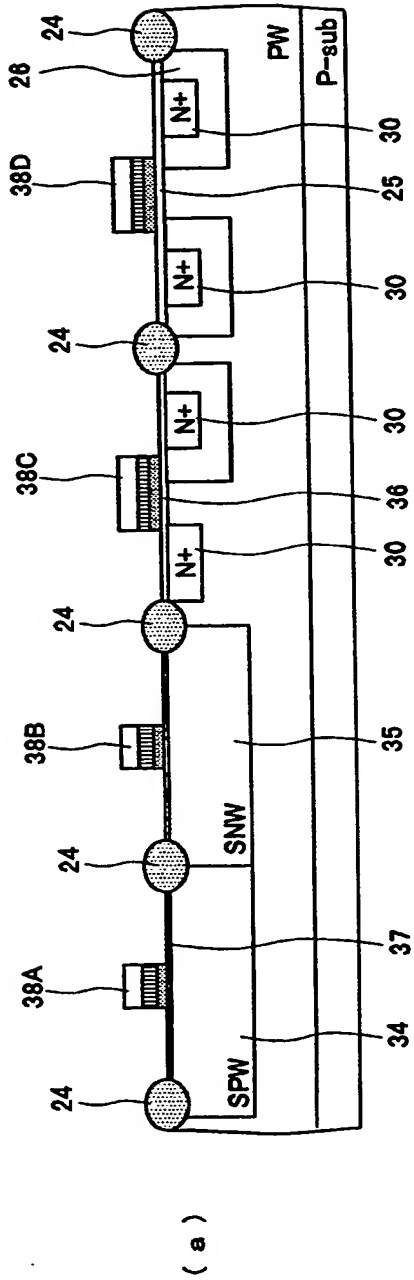
【図 6】



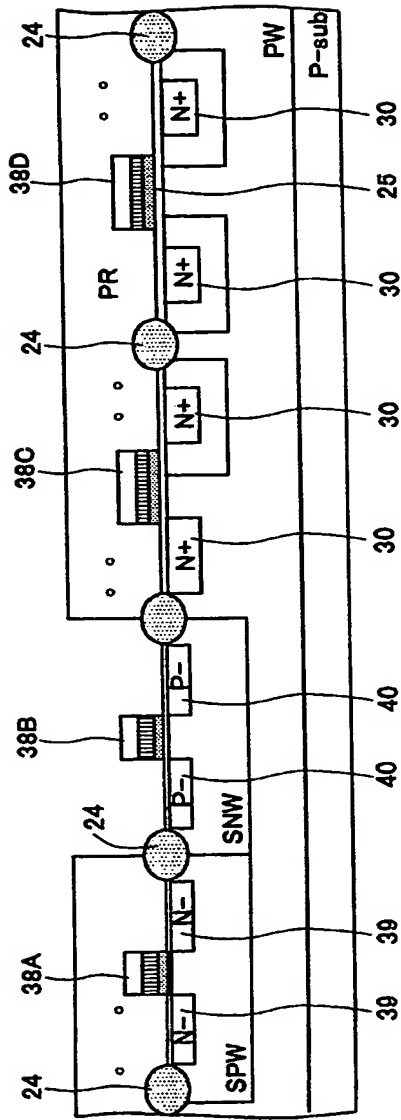
【図 7】



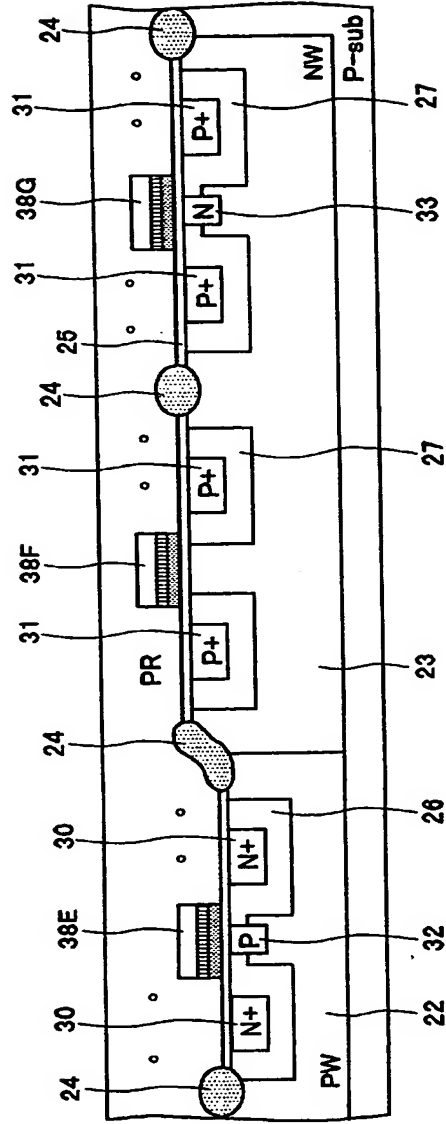
【図 8】



【図 9】

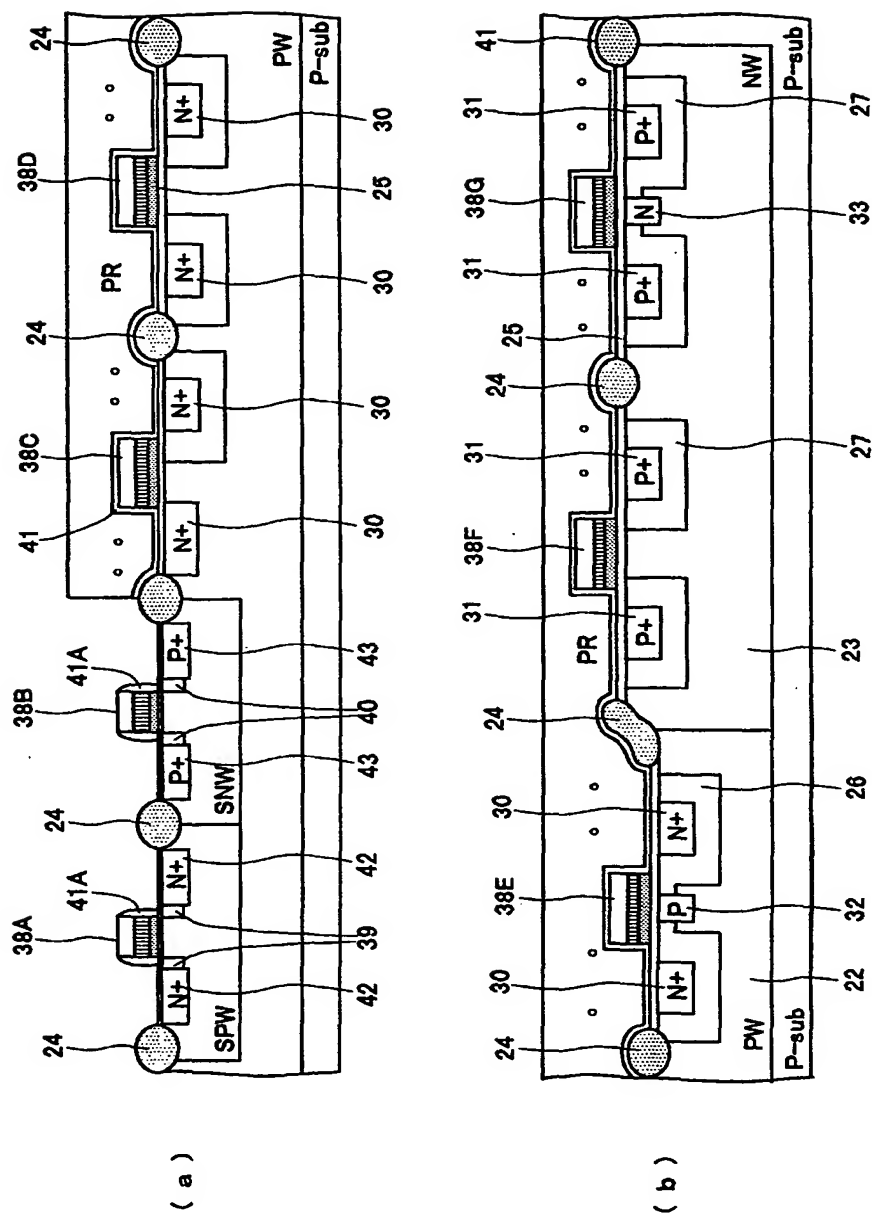


(a)

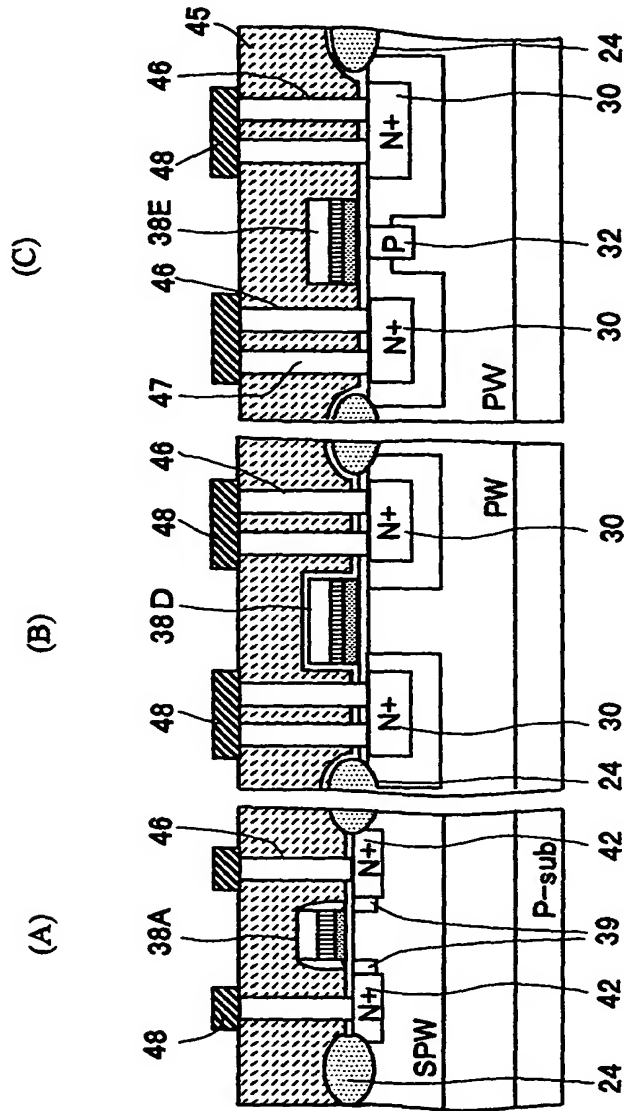


(b)

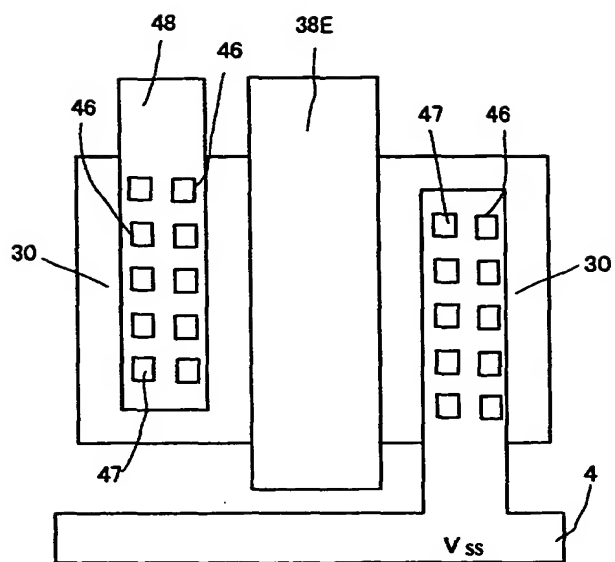
【図 10】



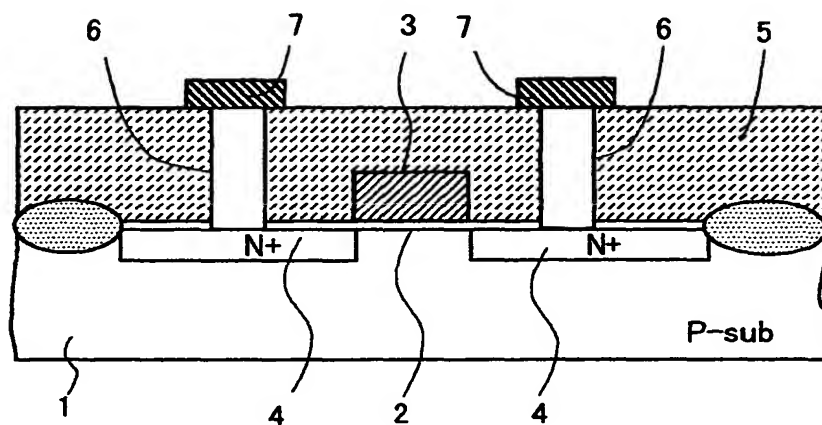
【図11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 コンタクト抵抗の低減化を図る。

【解決手段】 半導体基板 2 1 内に形成される低濃度のソース・ドレイン層 2 6 と、このソース・ドレイン層 2 6 内に形成される高濃度のソース・ドレイン層 3 0 と、前記基板 2 1 上にゲート酸化膜 2 5 を介して形成されるゲート電極 3 8 E と、このゲート電極 3 8 E 下方に形成され、前記ソース・ドレイン層 2 6, 3 0 間に位置するチャネルを構成する P 型ボディ層 3 2 と、前記ソース・ドレイン層 3 0 にコンタクトする複数配列されたプラグコンタクト部 4 7 と、このコンタクト部 4 7 を介して前記ソース・ドレイン層 3 0 にコンタクト接続するソース・ドレイン電極とを具備したことを特徴とする

【選択図】 図 1 1

出 願 人 履 歴 情 報

識別番号

[000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社